

(19) Japan Patent Office (JP)  
(12) KOKAI TOKKYO KOHO (A)  
(11) Laid-open Application Number: Heisei 6-53078  
(43) Publication Date: February 25, 1994

(51) Int. Cl. <sup>5</sup>	Id. Symbol	Office Ref. No.	F1	Techn. Ind. Field
H 01 G 4/40	304		9174-5E	
H 01 capacitor 7/10				

Examination Request: None

No. of Claims: 2 (total pages 7)

---

(21) Application No.: Heisei 4-219723

(22) Application Filed: July 27, 1992

(71) Applicant: 000006264  
Mitsubishi Materials Co., Ltd.  
Address: 1-5-1, Ote-machi, Chiyoda-ku, Tokyo

(72) Inventor: Y. Shimura  
Address: 2270, Daigaku Yokose, Yokose-machi, Akichichi, Saitama-ken  
c/o Mitsubishi Materials Co., Ltd., Ceramics Laboratory

(72) Inventor: T. Wada  
Address: 2270, Daigaku Yokose, Yokose-machi, Akichichi, Saitama-ken  
c/o Mitsubishi Materials Co., Ltd., Ceramics Laboratory

(74) Patent Representative. Patent Attorney: M. Sugita

(54) [Title of Invention] STACKED CAPACITOR ARRAY PROVIDED WITH VARISTOR FUNCTION

(57) [Abstract]

[Object] The object of the present invention is to absorb a high-frequency noise and surge and to prevent effectively a cross-talk between several signal lines even when the inner conductors connected to several signal lines are formed with a higher density.

[Structure] A laminate 65 consists of dielectric sheets 10, 20, 30 having a capacity and a varistor characteristic. In the sheet 10, inner conductors 11a, 11b connected to one side of the sheet and having spacers electrically insulating them from the remaining three sides of the sheet are provided on the sheet surface. In the sheet 30, an inner conductor 31 is provided on the sheet surface in the same manner as in sheet 10. In the sheet 20 serving as an intermediate sheet, a ground conductor 23 is provided on the sheet surface, this ground electrode being insulated from a pair of sides corresponding to those sides of sheets 10 and 30 which are connected to the inner conductors and being connected to the other pair of sides. The capacitance is formed between the inner conductor and ground conductor via sheets 20, 30. Signal electrodes 51, 52 connected to the inner conductors and a pair of ground electrodes 53, 54 connected to the ground conductor are formed independently on the side surfaces of the laminate.

## [Patent Claims]

[Claim 1] A stacked capacitor array provided with a varistor function comprising a laminate (65, 115) obtained by laminating and integrating a first dielectric sheet (10, 60) having a capacity and a varistor characteristic and a third dielectric sheet (30, 80) having a capacity and a varistor characteristic via a rectangular second dielectric sheet (20, 70) having a capacity and a varistor characteristic as an intermediate sheet, wherein the first dielectric sheet has the same shape and size as the second dielectric sheet (20, 70) and the second dielectric sheet has the same shape and size as the second dielectric sheet (20, 70),

in said first dielectric sheet (10, 60), first inner conductors (11a, 11b, 61) electrically connected to one side and having spacers (14, 62, 63, 64) electrically insulating them from the remaining three sides are provided on the sheet surface,

in said third dielectric sheet (30, 80), a second inner conductor (31, 81) is provided on the sheet surface, this second inner conductor being electrically connected to one side opposite to one side of the first dielectric sheet (10, 60) which is electrically connected to said first inner conductor (11a, 11b, 61) and having spacers (32, 82, 83, 84) electrically insulating it from the remaining three sides,

in said second dielectric sheet (20, 70), a ground conductor (23, 73) is provided on the sheet surface, this ground conductor having spacers (21, 22, 71, 72) electrically insulating it from a pair of sides corresponding to those sides of the first and third dielectric sheets (10, 30, 60, 80) which are electrically connected to said first and second inner conductors (11a, 11b, 31, 61, 81) and being electrically connected to a pair of sides other than said pair of sides,

the structure being such that a respective capacitance is formed between said first inner conductors (11a, 11b, 61) and said ground conductor (23, 73) via said second dielectric sheet (20, 70), and between said second inner conductor (31, 81) and said ground conductor (23, 73) via said third dielectric sheet (30, 80),

first and second signal electrodes (51, 51, 52, 101, 102) respectively connected to said first and second inner conductors (11a, 11b, 31, 61, 81) exposed on the side surface of said laminate (65, 115) are formed on its side surface,

a pair of first and second ground electrodes (53, 54, 103, 104) connected to said ground conductors (23, 73) exposed on other two side surfaces of said laminate (65, 115) are formed on these two side surfaces.

[Claim 2] A stacked capacitor array provided with a varistor function as described in Claim 1, wherein a fourth dielectric sheet (40, 90) which has no conductor formed on the sheet surface is laminated and integrated as an outermost layer in the laminate (65, 115).

## [Detailed Description of the Invention]

[0001]

[Field of Industrial Utilization] The present invention relates to a stacked capacitor array provided with a varistor function which absorbs high-frequency noise and surge voltage in a several signal lines. More specifically, the present invention relates to a stacked capacitor array

provided with a varistor function, which is suitable for preventing cross-talk between several signal lines.

[0002]

[Prior Art Technology] In digital devices such as computers, the penetration of a high-frequency noise or abnormal voltage (surge) can easily cause malfunction. Another problem associated with such devices is that lines can emit unnecessary electromagnetic waves which can damage other electronic devices. For this reason, surface absorbers removing a surge voltage and noise filters removing a high-frequency noise have been used in signal lines. Varistors, Zener diodes, discharge elements and the like have been used for the surge absorbers, and capacitor elements have been used for the noise filters. Those electronic components such as surface absorbers and noise filters have been installed in each signal line, and surge countermeasures and noise countermeasures were implemented separately from each other, as shown by the circuit diagrams shown in Fig 10. However, when these countermeasures are implemented by separate electronic components, the space taken by the components is increased and the cost is raised.

[0003] In order to resolve the above-described problems, "a filter absorbing high frequency and surges" was suggested (Unexamined Japanese Patent Application 1-102874). The filter comprised a thin narrow signal line for electric signal transmission, which was formed on one surface of a flat plate made of a dielectric material having a capacity and a varistor characteristic. A ground electrode was formed on almost the whole other surface of the plate, and a varistor and a distributed-constant capacitor were formed between the signal line and the ground electrode. Such a filter could absorb a high-frequency noise and surge voltage.

[0004]

[Problems Addressed by the Invention] When a high-frequency noise and surge voltage present in several signal lines were absorbed by using the filter disclosed Unexamined Japanese Patent Application 1-102874, if the space between several signal lines arranged in a row on one surface of the plate was small and a high-frequency signal was passed through a signal line, because of a floating capacitance present between the wires, a noise having a frequency above a certain value was transmitted to other signal lines and cross-talk could easily occur. For this reason, it was difficult to arrange a plurality of signal lines with a high density in the above-described filter.

[0005] It is an object of the present invention to provide a stacked capacitor array with a varistor function which can remove a high-frequency noise, absorb a surge, and prevent reliably a cross-talk between a signal passing through a signal line and another line even when the inner conductors connected to several signal lines are formed with a density higher than that in the conventional arrays.

[0006]

[Means to Resolve the Problems] A structure of the present invention developed to attain the above-described object will be described below with reference to Fig 1 – Fig 4. In order to facilitate the explanation, the ceramic sheets in Figs 1, 2, and 4 are expanded in the thickness

direction. The stacked capacitor array provided with a varistor function in accordance with the present invention comprises a laminate 65 obtained by laminating and integrating a first dielectric sheet 10 having a capacity and a varistor characteristic and a third dielectric sheet 30 having a capacity and a varistor characteristic via a rectangular second dielectric sheet 20 having a capacity and a varistor characteristic as an intermediate sheet, wherein the first dielectric sheet has the same shape and size as the second dielectric sheet 20 and the second dielectric sheet has the same shape and size as the second dielectric sheet 20. In the first dielectric sheet 10, first inner conductors 11a, 11b electrically connected to one side of the sheet and having a spacer 14 electrically insulating it from the remaining three sides is provided on the sheet surface. In the third dielectric sheet 30, a second inner conductor 31 is provided on the sheet surface, this second inner conductor being electrically connected to one side opposite to one side of the first dielectric sheet 10, which is electrically connected to the first inner conductors 11a, 11b, and having a spacer 32 electrically insulating it from the remaining three sides. In the second dielectric sheet 20, a ground conductor 23 is provided on the sheet surface, this ground conductor having spacers 21, 22 electrically insulating it from a pair of sides corresponding to those sides of the first and third dielectric sheets 10, 30, which are electrically connected to the first and second inner conductors 11a, 11b, and being electrically connected to a pair of sides other than said pair of sides. The structure of the array is such that a respective capacitance is formed between the first inner conductors 11a, 11b and the ground conductor 23 via the second dielectric sheet 20, and between the second inner conductor 31 and the ground conductor 23 via the third dielectric sheet 30. The first and second signal electrodes 51, 51, 52 respectively connected to the first and second inner conductors 11a, 11b, 31 exposed on the side surface of the laminate 65 are formed on its side surface. A pair of first and second ground electrodes 53, 54 connected to the ground conductors 23 exposed on other two side surfaces of the laminate 65 are formed on these two side surfaces. In this specification, the expression "dielectric sheet having a capacity and a varistor characteristic" refers to a sheet which demonstrates a surface absorption function due to a varistor characteristic and also has a dielectric characteristic in a voltage range below the varistor voltage.

[0007]

[Operation] Since the ground conductor 23 is connected via ground electrodes 53, 54 between the first inner conductors 11a, 11b on the first dielectric sheet 10 and second inner conductor 31 on the third dielectric sheet 30, the floating capacitance between the neighboring signal lines is substantially eliminated and the signal or noise cross-talk between the lines is prevented. Furthermore, since a capacitance is formed between the first inner conductors 11a, 11b and the ground conductor 23 via the second dielectric sheet 20, and between the second inner conductor 31 and the ground conductor 23 via the third dielectric sheet 30, a difference in potential appears between the ground conductor 23 and inner conductors 11a, 11b, 31 which are in a conductive state, the system functions as a capacitor in a voltage range below the varistor voltage, and the high-frequency noise is absorbed. Furthermore, if a surge voltage is applied to the signal lines, the respective differences in potential exceeding the varistor voltage are generated between the ground conductor 23 and inner conductor 31, dielectric sheet 10 between the inner conductors 11a, 11b, and dielectric sheet 20 between the inner conductors 11a, 11b and ground conductor 23. As a result, owing to a varistor characteristic of the dielectric sheets 10, 20, the surge current is passed through the respective ground conductors 23 and removed via the ground electrodes 53,

54. Furthermore, since the ground conductor 23 is provided between the inner conductor connected to a signal line to which a surge voltage was applied and other inner conductor and only a difference in potential which is generated by the normal signal appears between the inner conductors, the effect of the transmitted surge is limited only to the inner conductor to which the surge voltage was applied.

[0008]

[Embodiments] The embodiments of the present invention will be described below. The present invention is not limited to these embodiments.

<Embodiment 1> A stacked capacitor array of Embodiment 1 will be described below with reference to Fig 1 to Fig 5. First, four ceramic green sheets of the same shape and size were prepared from a dielectric material having an electric capacity varistor characteristic, for example, semiconductor varistor material based on zinc oxide, strontium titanate, titanium oxide or the like. Those sheets were referred to as a first sintered ceramic sheet, second sintered ceramic sheet, third sintered ceramic sheet, and fourth sintered ceramic sheet, respectively.

[0009] Then, an electrically conductive paste containing Pd as the main component was screen printed on the front surface of the first sintered ceramic sheet, second sintered ceramic sheet, and third sintered ceramic sheet so as to form respective different patterns, and the printed paste was dried for 4 min at a temperature of 80°C. Thus, as shown in Fig 3, first inner conductors 11a, 11b were formed by printing on the surface of the first sintered ceramic sheet 10. Those inner conductors were electrically connected to one side of the sheet and had spacers 14 which electrically insulated them from the three other sides of the sheet. Further, a ground conductor 23 was formed by printing on the surface of the second sintered ceramic sheet 20. This ground conductor had spacers 21, 22 which electrically insulated it from two opposite sides of the sheet, was electrically connected to two opposite sides other than the above-mentioned opposite sides, and had a portion overlapping the inner conductors 11a, 11b formed on the first sintered ceramic sheet 10 upon stacking. Moreover, a second inner conductor 31 was formed by printing on the surface of the third sintered ceramic sheet 30. The second inner conductor had a portion overlapping the ground conductor 23 formed on the second sintered ceramic sheet upon stacking, was electrically connected to one side of the sheet which was opposite to the above-mentioned one side of the first sintered ceramic sheet which was electrically connected to the first inner conductors 11a, 11b, and had a spacer 32 that electrically insulated it from other three sides of the sheet.

[0010] The screen-printed three sheets (first, second, and third sintered ceramic sheets 10, 20, 30) were stacked in the order of description and then a fourth sintered ceramic sheet 40 that was not printed with the electrically conductive paste was laminated as an uppermost layer. Those green sheets represent respective dielectric sheets in accordance with the present invention. The laminate 65 shown in Fig 4 was integrated by thermal pressing and then fired for about 1 h at a temperature of 1300°C to give a sintered body having a thickness of about 1 mm. As shown in Fig 4, the sintered body was barrel polished to expose the first inner conductors 11a, 11b, second inner conductor 31 (not shown in Fig 4), and ground conductor 23 on the side surface of the sintered body.

[0011] Then, as shown in Fig 5, an electrically conductive paste containing Ag as the main component was coated on the portion of the side surface of the sintered body where the inner conductors 11a, 11b, 31 and ground conductor 23 were exposed. The coated paste was fired to form signal electrodes 51, 51, 52 and ground electrodes 53, 54. As a result, a stacked capacitor array was obtained in which the first inner conductors 11a, 11b were electrically connected to the first signal electrode 51, the second inner conductor 31 was electrically connected to the second signal electrode 52, and the ground conductor 23 was electrically connected to the first and second ground electrodes 53, 54.

[0012] In order to study characteristics of the stacked capacitor array, it was mounted on a printed substrate 55 that was separately prepared for the test. In the printed substrate 55, three signal lines 56a, 56b, and 57 were printed on the upper surface of the substrate, and ground electrodes 58 and 59 were formed on both sides of these lines. The respective through holes 58a and 59a were provided in the electrodes 58, 59, and the electrodes 58 and 59 were electrically connected to the ground electrode 55a formed over almost the whole lower surface of the substrate 55 via the through holes 58a and 59a. The ground electrode 55a was grounded. Signal electrodes 51, 51 were soldered to respective signal lines 56a, 56b, the signal electrode 52 was soldered to the signal line 57, and ground electrodes 53, 54 were soldered to respective ground electrodes 58, 59.

[0013] In this state, a high-frequency signal was input from one end of signal lines 56a, 56b and 57, the output signal was measured at the other end, and the insertion loss was determined. The results obtained demonstrated that the insertion loss rapidly increased with the increase in frequency, and the stacked capacitor array had a good filter characteristic. Then, the existence of cross-talk was studied by measuring the output signals at the other ends of the neighboring signal lines 56a and 57 or other ends of signal lines 56b and 57. The results obtained confirmed that the cross-talk was so small that could not be detected, which was a significant improvement over the results obtained by conducting measurements on the conventional high-frequency and surge-absorbing filter. Then, a surface voltage exceeding a varistor voltage of the dielectric sheets 10, 20, and 30 was applied to one end of signal lines 56a, 56b, and 57, and a voltage between the other end of the signal line and the adjacent signal line was measured. The results obtained demonstrated that a voltage equivalent to surge limit voltage on a varistor characteristic was absorbed at the other end of the signal line to which a voltage has been applied, and a surge-absorbing function was confirmed. A normal voltage that was unaffected by the surface voltage was detected at the neighboring signal lines.

[0014] <Embodiment 2> A stacked capacitor array of Embodiment 2 will be described below with reference to Fig 6 – Fig 9. In Fig 6 – Fig 9, symbols assigned to various structural components corresponding to those in Embodiment 1 are obtained by adding 50 to the symbols employed in Embodiment 1. First, four ceramic green sheets of the same shape and size were prepared in the same manner as in Embodiment 1. Those sheets were referred to as a first sintered ceramic sheet, second sintered ceramic sheet, third sintered ceramic sheet, and fourth sintered ceramic sheet, respectively.

[0015] Then, an electrically conductive paste containing Pd as the main component was screen printed on the front surface of the first sintered ceramic sheet, second sintered ceramic sheet, and third sintered ceramic sheet so as to form the respective different patterns, and the printed paste was dried for 4 min at a temperature of 80°C. Thus, as shown in Fig 7, a first inner conductor 61 was formed by printing on the surface of the first sintered ceramic sheet 60. This inner conductor was electrically connected to one side of the sheet and had spacers 62, 63, and 64 which electrically insulated them from the three other sides of the sheet. Further, a ground conductor 73 was formed by printing on the surface of the second sintered ceramic sheet 70. This ground conductor had spacers 62, 63 which electrically insulated it from two opposite sides of the sheet and spacers 71, 72 which electrically insulated it from two opposite sides of the sheet other than the above-mentioned pair of opposite sides, and had a portion overlapping the inner conductor 61 formed on the first sintered ceramic sheet 60 upon stacking. Moreover, a second inner conductor 81 was formed by printing on the surface of the third sintered ceramic sheet 80. The second inner conductor had a portion overlapping the ground conductor 73 formed on the second sintered ceramic sheet 70, was electrically connected to one side of the sheet which was opposite to the above-mentioned one side of the first sintered ceramic sheet 60 which was electrically connected to the first inner conductor 61, and had spacers 82, 83, and 84 that electrically insulated it from other three sides of the sheet.

[0016] The screen-printed three sheets (first, second, and third sintered ceramic sheets 60, 70, 80) were stacked in the order of description and then a fourth sintered ceramic sheet 90 that was not printed with the electrically conductive paste was laminated as an uppermost layer. The laminate was integrated by thermal pressing. The laminate 115 shown in Fig 8 was fired similarly to Embodiment 1 to give a sintered body which was barrel polished to expose the first inner conductor 61, second inner conductor 81 (not shown in Fig 8), and ground conductor 73 on the side surface of the sintered body.

[0017] Then, as shown in Fig 9, an electrically conductive paste containing Ag as the main component was coated on the portion of the side surface of the sintered body where the inner conductors 61, 81 and ground conductor 73 were exposed. The coated paste was fired to form signal electrodes 101, 102 and ground electrodes 103, 104. As a result, a stacked capacitor array was obtained in which the first inner conductor 61 and second inner conductor 81 were electrically connected to the first and second signal electrodes 101, 102, and the ground conductor 73 was electrically connected to the first and second ground electrodes 103, 104.

[0018] The stacked capacitor array was mounted on a printed substrate that was separately prepared for the test, and the characteristics were studied in the same manner as in Embodiment 1. A high-frequency signal was input from one end of signal lines (not shown in the figures) connected to signal electrodes 101, 102, the output signal was measured at the other end, and the insertion loss was determined. The results obtained demonstrated that the insertion loss rapidly increased with the increase in frequency, and the stacked capacitor array had a good filter characteristic. Then, the existence of cross-talk was studied by measuring the output signals at the other ends of signal lines (not shown in the figures) connected to signal electrodes 101, 102. The results obtained confirmed that the cross-talk was so small that could not be detected, which was a significant improvement over the results obtained by conducting measurements on the conventional high-frequency and surge-absorbing filter. Then, a surface voltage exceeding a

varistor voltage of the dielectric sheets 60, 70, and 80 was applied to one end of signal lines (not shown in the figures) connected to signal electrodes 101, 102, and a voltage between the other ends of the signal lines and the adjacent signal lines was measured. The results obtained demonstrated that a voltage equivalent to a surge limit voltage on a varistor characteristic is absorbed at the other end of the signal line to which a voltage has been applied, and a surge-absorbing function was confirmed. A normal voltage that was unaffected by the surface voltage was detected at the neighboring signal lines.

[0019] In Embodiment 1 and Embodiment 2, a laminate was obtained by laminating one first, one second, and one third ceramic green sheet. However, in accordance with the present invention, no limitation is placed on the number of first ceramic green sheets, second ceramic green sheets, and third ceramic green sheets. Thus, by appropriately increasing the number of those sheets in the laminate, it is possible to change the capacitance formed by the inner conductors and ground conductors, to change the insertion loss, and at the same time to increase surge resistance. Furthermore, in Embodiment 1, two first inner conductors and one second inner conductor were used. However, the present invention is not limited to those numbers of the first inner conductors and second inner conductors, and those numbers can be increased. When a plurality of inner conductors of each type are used, the arrangement in which the inner conductors on a separate sheet are positioned between the neighboring inner conductors is preferred from the standpoint of preventing the cross-talk. Furthermore, when a separate protective means is installed on the third dielectric sheet, it is possible to produce a laminate without the fourth dielectric sheet which served as an uppermost layer.

[0020]

[Effect of the Invention] As described above, in accordance with the present invention, at least two signal electrodes are electrically connected to signal lines or signal leads employed for signal transmission. As a result, a capacitance is formed between the first inner conductor of the first dielectric sheet and the ground conductor of the second dielectric sheet, and between the second inner conductor of the third dielectric sheet and the ground conductor of the second dielectric sheet. Therefore, a high-frequency noise penetrating into the signal line or the like can be prevented. Furthermore, when a surge voltage is applied to the signal electrodes, a difference in potential exceeding the varistor voltage is generated in the second dielectric sheet and third dielectric sheet between the inner conductors and ground conductors, the surge current passes through the ground conductors and is removed via the ground electrode. When the surge is absorbed, the surge produces no adverse effect on the inner conductors other than the inner conductor to which the surge voltage was applied, owing to the presence of the ground electrodes. Furthermore, since a ground conductor is arranged between the first inner conductor and second inner conductor, and this ground conductor is grounded via the ground electrode, the floating capacitance can be removed with higher reliability even if a high-frequency signal is supplied to the signal line, and the cross-talk between the neighboring signal lines can be prevented. As a result, a stacked capacitor array provided with a varistor function can be obtained, which has small dimensions and both the high-frequency noise removal function and surge absorption function, and in which the cross-talk between the signal in any signal line and other line can be effectively prevented even when the inner conductors connected to a plurality of signal lines are arranged with a high density.



#### [Brief Description of the Drawings]

Fig 1 is a cross section along the A-A line in Fig 5 illustrating the stacked capacitor array which is an embodiment of the present invention.

Fig 2 is a cross section along the B-B line relating to the same embodiment.

Fig 3 is a perspective view of the laminate prior to firing.

Fig 4 is a perspective view of a sintered body obtained by firing the laminate.

Fig 5 is a perspective view of a stacked capacitor array mounted onto a printed substrate.

Fig 6 is a cross section along the C-C line in Fig 9 illustrating the stacked capacitor array which is another embodiment of the present invention.

Fig 7 is a perspective view of the laminate prior to firing.

Fig 8 is a perspective view of a sintered body obtained by firing the laminate.

Fig 9 is a perspective view of the stacked capacitor array.

Fig 10 shows equivalent circuits of the conventional noise filter and surge absorber.

#### [Legends]

10, 60 : first dielectric sheet (first ceramic green sheet)  
11a, 11b, 61 : first inner conductor  
14, 64 : electrically insulating spacers  
20, 70 : second dielectric sheet (second ceramic green sheet)  
21, 22, 71, 72 : electrically insulating spacers  
23, 73 : ground conductors  
30, 80 : third dielectric sheet (third ceramic green sheet)  
31, 81 : second inner conductor  
32, 82, 83, 84 : electrically insulating spacers  
40, 90 : fourth dielectric sheet (fourth ceramic green sheet)  
51, 101 : first signal electrode  
52, 102 : second signal electrode  
53, 103 : first ground electrode  
54, 104 : second ground electrode  
65, 115 : laminate

#### Fig 1

10 : first dielectric sheet (first ceramic green sheet)  
11a, 11b : first inner conductor  
14 : electrically insulating spacers  
20 : second dielectric sheet (second ceramic green sheet)  
23 : ground conductors  
30 : third dielectric sheet (third ceramic green sheet)  
31 : second inner conductor  
32 : electrically insulating spacers  
40 : fourth dielectric sheet (fourth ceramic green sheet)  
53 : first ground electrode

54 : second ground electrode

Fig 2

Fig 3

Fig 4

65 : laminate

Fig 5

Fig 6

60 : first dielectric sheet (first ceramic green sheet)

61 : first inner conductor

64 : electrically insulating spacers

70 : second dielectric sheet (second ceramic green sheet)

73 : ground conductors

80 : third dielectric sheet (third ceramic green sheet)

81 : second inner conductor

84 : electrically insulating spacers

90 : fourth dielectric sheet (fourth ceramic green sheet)

101 : first signal electrode

102 : second signal electrode

Fig 7

Fig 8

115 : laminate

Fig 9

Fig 10

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-53078

(43) 公開日 平成6年(1994)2月25日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G 4/40	3 0 4	9174-5E		
H 0 1 C 7/10				

審査請求 未請求 請求項の数2(全7頁)

(21) 出願番号 特願平4-219723

(22) 出願日 平成4年(1992)7月27日

(71) 出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町1丁目5番1号

(72) 発明者 志村 優

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社セラミックス研究所  
内

(72) 発明者 和田 秀晃

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社セラミックス研究所  
内

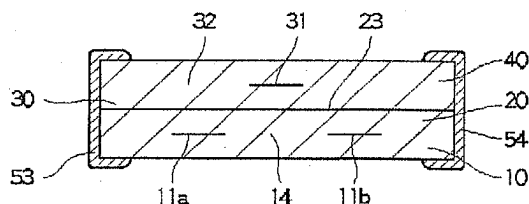
(74) 代理人 弁理士 須田 正義

(54) 【発明の名称】 バリスタ機能付き積層コンデンサアレイ

(57) 【要約】

【目的】 高周波ノイズとサージを吸収し複数の信号線路に接続する内部導体をより高密度に設けても各信号線路間のクロストークを確実に防止する。

【構成】 容量性とバリスタ特性をもつ誘電体シート10と20と30との積層体65であって、シート10は1つの辺に接続され残りの3つの辺とは互いに電氣的に絶縁される間隔をもつ内部導体11a, 11bをシート表面に備える。シート30はシート10と同様に内部導体31をシート表面に備える。中間シートとしてのシート20は内部導体が接続されるシート10と30に対応する一対の辺とは絶縁され別の一対の辺に接続される接地導体23をシート表面に備え、シート20又は30を介して内部導体と接地導体との間でキャパシタンスを形成する。内部導体に接続する信号用電極51, 52と接地導体に接続する一対の接地用電極53, 54とを積層体の側面に互いに独立して形成する。



10 第1誘電体シート(第1セラミックグリーンシート)

11a, 11b 第1内部導体

14 電氣的に絶縁される間隔

20 第2誘電体シート(第2セラミックグリーンシート)

23 接地導体

30 第3誘電体シート(第3セラミックグリーンシート)

31 第2内部導体

32 電氣的に絶縁される間隔

40 第4誘電体シート(第4セラミックグリーンシート)

53 第1接地用電極

54 第2接地用電極

1

## 【特許請求の範囲】

【請求項1】 方形状の容量性及びバリスタ特性を有する第2誘電体シート(20, 70)を中間シートとして前記シート(20, 70)と同形同大の容量性及びバリスタ特性を有する第1誘電体シート(10, 60)と前記シート(20, 70)と同形同大の容量性及びバリスタ特性を有する第3誘電体シート(30, 80)を積層して一体化された積層体(65, 115)を含み、

前記第1誘電体シート(10, 60)は、1つの辺に電気的に接続され残りの3つの辺とは互いに電気的に絶縁される間隔(14, 62, 63, 64)を有する第1内部導体(11a, 11b, 61)をシート表面に備え、

前記第3誘電体シート(30, 80)は、前記第1内部導体(11a, 11b, 61)が電気的に接続される第1誘電体シート(10, 60)に対応する1つの辺に対向する1つの辺に電気的に接続され残りの3つの辺とは電気的に絶縁される間隔(32, 82, 83, 84)を有する第2内部導体(31, 81)をシート表面に備え、

前記第2誘電体シート(20, 70)は、前記第1及び第2内部導体(11a, 11b, 31, 61, 81)が電気的に接続される第1及び第3誘電体シート(10, 30, 60, 80)に対応する一対の辺とは電気的に絶縁される間隔(21, 22, 71, 72)を有しかつ前記一対の辺とは別の一対の辺に電気的に接続される接地導体(23, 73)をシート表面に備え、

前記第2誘電体シート(20, 70)を介して前記第1内部導体(11a, 11b, 61)と前記接地導体(23, 73)との間でかつ前記第3誘電体シート(30, 80)を介して前記第2内部導体(31, 81)と前記接地導体(23, 73)との間でそれぞれキャパシタンスを形成するように構成され、

前記積層体(65, 115)の側面に露出した前記第1及び第2内部導体(11a, 11b, 31, 61, 81)にそれぞれ接続する第1及び第2信号用電極(51, 51, 52, 101, 102)がこの側面に形成され、

前記積層体(65, 115)の別の両側面に露出した前記接地導体(23, 73)に接続する一対の第1及び第2接地用電極(53, 54, 103, 104)がこの両側面に形成されたことを特徴とするバリスタ機能付き積層コンデンサアレイ。

【請求項2】 積層体(65, 115)はその最上層にシート表面に導体の形成されない第4誘電体シート(40, 90)が積層して一体化された請求項1記載のバリスタ機能付き積層コンデンサアレイ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、複数の信号線路における高周波ノイズとサージ電圧を吸収するバリスタ機能付き積層コンデンサアレイに関する。更に詳しくは複数の信号線路間のクロストークを防止するに適したバリスタ機能付き積層コンデンサアレイに関するものである。

## 【0002】

【従来の技術】 コンピュータ等のデジタル機器では、異

2

常電圧(サージ)や高周波のノイズが混入すると誤動作を生じ易く、しかも他の電子機器等に障害をもたらす恐れのある不要な電波を配線から放射する問題点がある。このため、信号線路にはサージ電圧を除去するサージアブソーバと、高周波ノイズを除去するノイズフィルタが用いられている。サージアブソーバにはバリスタ、ツェナダイオード、放電素子等が用いられ、ノイズフィルタにはコンデンサ素子が用いられている。これらのサージアブソーバやノイズフィルタ等の電子部品はそれぞれ信号線路毎に設けられ、図10の回路図に示すようにサージ対策とノイズ対策を個別に施している。しかし、これらの対策を別々の電子部品で行うと、部品スペースが増大し、コストの上昇を招く。

【0003】 これらの点を解消するために、「高周波及びサージ吸収フィルタ」が開示されている(特開平1-102874)。このフィルタは容量性及びバリスタ特性をもつ誘電材料からなる平板の一方の面に電気信号伝達用の細長い信号線路を設け、他方の面のほぼ全体に接地用電極を設け、信号線路と接地用電極との間に分布定数型コンデンサ及びバリスタを形成することにより、高周波ノイズ、サージ電圧を吸収するようにしている。

## 【0004】

【発明が解決しようとする課題】 特開平1-102874号公報に示されるフィルタを用いて、複数の信号線路における高周波ノイズとサージ電圧を吸収する場合に、平板の一方の面に複数配列した信号線路間の間隔があまり狭いと、信号線路に高周波信号が流れたときに、配線間に存在する浮遊キャパシタンスのために、所定の周波数以上のノイズが他の信号線路に伝搬され、クロストークを生じ易い。このため、上記フィルタでは高密度に複数の信号線路を設けることが困難な問題点があった。

【0005】 本発明の目的は、高周波ノイズを除去しかつバリスタ特性によりサージを吸収し、複数の信号線路に接続する内部導体をより高密度に設けても各信号線路を流れる信号の他の線路へのクロストークを確実に防止できるバリスタ機能付き積層コンデンサアレイを提供することにある。

## 【0006】

【課題を解決するための手段】 上記目的を達成するための本発明の構成を図1～図4に基づいて説明する。なお、図1、図2及び図4は説明を容易にするためにセラミックシート部分を厚さ方向に拡大して示している。本発明のバリスタ機能付き積層コンデンサアレイは、方形状の容量性及びバリスタ特性を有する第2誘電体シート20を中間シートとして前記シート20と同形同大の容量性及びバリスタ特性を有する第1誘電体シート10と前記シート20と同形同大の容量性及びバリスタ特性を有する第3誘電体シート30を積層して一体化された積層体65を含む。第1誘電体シート10は、1つの辺に電気的に接続され残りの3つの辺とは互いに電気的に絶

3

縁される間隔14を有する第1内部導体11a, 11bをシート表面に備える。また第3誘電体シート30は、第1内部導体11a, 11bが電気的に接続される第1誘電体シート10に対応する1つの辺に対向する1つの辺に電気的に接続され残りの3つの辺とは電気的に絶縁される間隔32を有する第2内部導体31をシート表面に備える。更に第2誘電体シート20は、第1及び第2内部導体11a, 11b, 31が電気的に接続される第1及び第3誘電体シート10, 30に対応する一対の辺とは電気的に絶縁される間隔21, 22を有しかつこの一対の辺とは別の一対の辺に電気的に接続される接地導体23をシート表面に備える。第2誘電体シート20を介して第1内部導体11a, 11bと接地導体23との間でかつ第3誘電体シート30を介して第2内部導体31と接地導体23との間でそれぞれキャパシタンスを形成するように構成される。積層体65の側面に露出した第1及び第2内部導体11a, 11b, 31にそれぞれ接続する第1及び第2信号用電極51, 51, 52がこの側面に形成され、積層体65の別の両側面に露出した接地導体23に接続する一対の第1及び第2接地用電極53, 54がこの両側面に形成される。なお、本明細書で「容量性及びバリスタ特性を有する誘電体シート」とは、バリスタ特性によるサージ吸収機能を有し、バリスタ電圧以下の電圧範囲では誘電体の特性を兼備したシートをいう。

【0007】

【作用】第1誘電体シート10上の第1内部導体11a, 11bと第3誘電体シート30上の第2内部導体31の間に、接地用電極53, 54を介して接地される接地導体23を配置することにより、隣接した信号線路間の浮遊キャパシタンスが実質的になくなり、信号やノイズの線路間のクロストークを解消できる。また、第2誘電体シート20を介して第1内部導体11a, 11bと接地導体23との間でかつ第3誘電体シート30を介して第2内部導体31と接地導体23との間でキャパシタンスが形成されるため、通電状態にある内部導体11a, 11b, 31と接地導体23との間に電位差が生じ、バリスタ電圧以下の電圧範囲においてはコンデンサとして機能し高周波ノイズは吸収される。更に、サージ電圧が信号線路に印加されると、内部導体11a, 11bと接地導体23との間の誘電体シート20と、内部導体11a, 11bとの間の誘電体シート10と、内部導体31と接地導体23との間にそれぞれバリスタ電圧以上の電位差が生じ、誘電体シート10, 20のバリスタ特性によりサージ電流はそれぞれ接地導体23を通り接地用電極53, 54を経由して除去される。サージ電圧が印加された信号線路に接続される内部導体とそれ以外の内部導体との間に接地導体23が存在し、内部導体間には定常の信号によって生じる電位差以外は発生しないので、伝達されたサージによる影響はサージ電圧が印加

4

された内部導体以外の内部導体には起こらない。

【0008】

【実施例】次に本発明の実施例を説明する。本発明はこれらの実施例に限られるものではない。

＜実施例1＞実施例1の積層コンデンサレイを図1～図5に基づいて説明する。まず、容量性及びバリスタ特性を有する誘電材料、例えば酸化亜鉛系、チタン酸ストロンチウム系、酸化チタン系等の半導体バリスタ材料から作られた、同形同大のセラミックグリーンシートを4枚用意した。それぞれ1枚ずつを第1セラミックグリーンシート、第2セラミックグリーンシート、第3セラミックグリーンシート、及び第4セラミックグリーンシートとした。

【0009】次いで第1セラミックグリーンシートと、第2セラミックグリーンシート及び第3セラミックグリーンシートの各表面にそれぞれ別々のパターンでPdを主成分とする導電性ペーストをスクリーン印刷し、80℃で4分間乾燥した。即ち、図3に示すように第1セラミックグリーンシート10には、1つの辺に電気的に接続され残りの3つの辺とは電気的にそれぞれ絶縁される間隔14を有する第1内部導体11a, 11bが印刷形成される。また、第2セラミックグリーンシート20には、積層した後に第1セラミックグリーンシート10上に形成された内部導体11a, 11bと重なり部分を有し、一対の辺とは電気的に絶縁される間隔21, 22を有しかつこの一対の辺とは別の一対の辺に電気的に接続される接地導体23が印刷形成される。更に、第3セラミックグリーンシート30には、積層した後に第2セラミックグリーンシート上に形成された接地導体23と重なり部分を有し、かつ第1内部導体11a, 11bが電気的に接続される第1セラミックグリーンシート10に対応する1つの辺に対向する1つの辺に電気的に接続され、残りの3つの辺とは電気的にそれぞれ絶縁される間隔32を有する第2内部導体31が印刷形成される。

【0010】スクリーン印刷した第1、第2及び第3セラミックグリーンシート10, 20, 30の3枚のシートをこの順に積層し、更に最上層には導電性ペーストを全く印刷していない第4セラミックグリーンシート40を重ね合わせた。これらのグリーンシートはそれぞれ本発明の誘電体シートになる。図4に示される積層体65を熱圧着して一体化した後、1300℃で約1時間焼成して厚さ約1mmの焼結体を得た。図4に示すようにこの焼結体をバレル研磨して焼結体の周囲側面に第1内部導体11a, 11b、第2内部導体31（図4には図示せず）、及び接地導体23を露出させた。

【0011】次に図5に示すように焼結体の周囲側面の内部導体11a, 11b, 31及び接地導体23が露出した部分にAgを主成分とする導電性ペーストをそれぞれ塗布し、焼付けてそれぞれ信号用電極51, 51, 52及び接地用電極53, 54を形成した。これにより第

5

1内部導体11a, 11bが第1信号用電極51に、第2内部導体31が第2信号用電極52に、及び接地導体23が第1及び第2接地用電極53, 54にそれぞれ電氣的に接続された積層コンデンサアレイが得られた。

【0012】この積層コンデンサアレイの特性を調べるために、別途用意したプリント基板55上にこの積層コンデンサアレイを実装した。プリント基板55の上面には3本の信号線路56a, 56b及び57がプリント配線され、これらの両側には接地用電極58及び59が形成される。電極58及び59にはそれぞれスルーホール58a及び59aが設けられ、電極58及び59はスルーホール58a及び59aを介して基板55の下面のほぼ全面に形成された接地用電極55aに電氣的に接続される。接地用電極55aは接地される。信号線路56a, 56bに信号用電極51, 51をそれぞれはんだ付けし、信号線路57に信号用電極52をはんだ付けし、接地用電極58, 59に接地用電極53, 54をそれぞれはんだ付けした。

【0013】この状態で信号線路56a, 56b及び57の各一端から高周波信号を入力し、その他端で出力信号を測定し、挿入損失を求めた。その結果、周波数が高くなるに従って、急峻に挿入損失が大きくなり、この積層コンデンサアレイは良好なフィルタ特性を有することが判った。また隣接する信号線路56aと57の各他端で、また信号線路56bと57の各他端で出力信号を測定して、クロストークの有無を調べたところ、このクロストークは検出できない程小さく、従来の高周波及びサージ吸収フィルタの測定例と比較して非常に改善されていることが確認された。また、信号線路56a, 56b及び57の各一端に誘電体シート10, 20及び30のバリスタ電圧を超えるサージ電圧を印加し、その信号線路の他端及びこれに隣接した信号線路の各電圧を調べた。その結果、印加した信号線路の他端ではバリスタ特性のサージ制限電圧に相当する電圧が吸収され、サージ吸収機能が確認された。隣接した信号線路にはサージ電圧に影響されない定常の電圧が検出された。

【0014】＜実施例2＞実施例2の積層コンデンサアレイを図6～図9に基づいて説明する。図6～図9において、実施例1に対応する構成部品の各符号は実施例1の各符号に50を加えている。先ず、実施例1と同様に、4枚の同形同大のセラミックグリーンシートを用意し、それぞれ1枚ずつを第1セラミックグリーンシート、第2セラミックグリーンシート、第3セラミックグリーンシート、及び第4セラミックグリーンシートとした。

【0015】次いで第1セラミックグリーンシートと、第2セラミックグリーンシート及び第3セラミックグリーンシートの各表面にそれぞれ別々のパターンでPdを主成分とする導電性ペーストをスクリーン印刷し、80℃で4分間乾燥した。即ち、図7に示すように第1セラ

6

ミックグリーンシート60には、1つの辺に電氣的に接続され残りの3つの辺とは互いに電氣的に絶縁される間隔62, 63, 64を有する第1内部導体61が印刷形成される。また、第2セラミックグリーンシート70には、積層した後に第1セラミックグリーンシート60上に形成された第1内部導体61と重なり部分を有し、一対の辺とは電氣的に絶縁される間隔62, 63を有しかつこの一対の辺とは別の一対の辺に電氣的に絶縁される間隔71, 72を有する接地導体73が印刷形成される。更に、第3セラミックグリーンシート80には、第1内部導体61が電氣的に接続される第1誘電体シート60に対応する1つの辺に対向する1つの辺に電氣的に接続され残りの3つの辺とは電氣的に絶縁される間隔82, 83, 84を有し、かつ第2セラミックグリーンシートの接地導体73とは重なり部を有する第2内部導体81が印刷形成される。

【0016】実施例1と同様にして、スクリーン印刷した第1, 第2及び第3セラミックグリーンシート60, 70, 80の3枚のシートをこの順に積層し、更に最上層には導電性ペーストを全く印刷していない第4セラミックグリーンシート90を重ね合わせた。この積層体を熱圧着して一体化した。図8に示される積層体115を実施例1と同様に焼成し、かつ焼結体をバレル研磨して焼結体の周囲側面に第1内部導体61及び第2内部導体81（図8には図示せず）、接地導体73を露出させた。

【0017】次に実施例1と同様にして、図9に示すように焼結体の周囲側面の内部導体61, 81、及び接地導体73が露出した部分にAgを主成分とする導電性ペーストをそれぞれ塗布し、焼付けて信号用電極101, 102及び接地用電極103, 104を形成した。これにより第1内部導体61と第2内部導体81が第1及び第2信号用電極101, 102に、及び接地導体73が第1及び第2接地用電極103, 104にそれぞれ電氣的に接続された積層コンデンサアレイが得られた。

【0018】この積層コンデンサアレイを別途用意したプリント基板上に実装して、実施例1と同様にその特性を調べた。信号用電極101又は102に接続した図外の信号線路の一端から高周波信号を入力し、その他端で出力信号を測定し、挿入損失を求めた。その結果、周波数が高くなるに従って、急峻に挿入損失が大きくなり、この積層コンデンサアレイも良好なフィルタ特性を有することが判った。また信号用電極101及び102にそれぞれ接続した図外の信号線路の各他端で出力信号を測定して、クロストークの有無を調べたところ、このクロストークは検出できない程小さく、従来の高周波及びサージ吸収フィルタの測定例と比較して非常に改善されていることが確認された。また、信号用電極101及び102にそれぞれ接続した図外の信号線路の各一端に誘電体シート60, 70及び80のバリスタ電圧を超えるサ

7

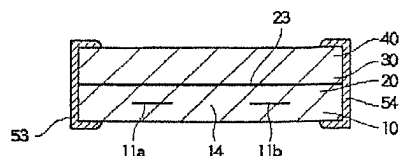
ージ電圧を印加し、その他端と隣接した信号線路の各電圧を調べた。その結果、印加した信号線路の他端ではバリスタ特性のサージ制限電圧に相当する電圧が吸収され、サージ吸収機能が確認された。隣接した信号線路にはサージ電圧に影響されない定常の電圧が検出された。

【0019】なお、実施例1及び実施例2では、第1、第2、第3セラミックグリーンシートをそれぞれ1枚ずつ積層したが、本発明の第1セラミックグリーンシートと第2セラミックグリーンシートと第3セラミックグリーンシートの積層数はこれに限るものではない。この積層数を適宜増加させることにより、内部導体と接地導体で形成されるキャパシタンスが変化して挿入損失を変化させることができ、同時にサージ耐量を増大することができる。また、実施例1では2つの第1内部導体と、1つの第2内部導体を示したが、第1及び第2内部導体の数はこれに限らず、更に増やすこともできる。各シートに複数の内部導体を設置ける場合には、隣接する内部導体間に別のシートの内部導体が位置するように設けることがクロストークを防止する上で好ましい。更に、最上層の第4誘電体シートは第3誘電体シート上に別の保護手段を設置ける場合には、特に積層しなくてもよい。

【0020】

【発明の効果】以上述べたように、本発明によれば、信号伝達のために用いられる信号線路や信号リードに少なくとも2個以上の信号用電極を電気的に接続し、接地用電極を接地することにより、第1誘電体シートの第1内部導体と第2誘電体シートの接地導体の間でかつ第3誘電体シートの第2内部導体と第2誘電体シートの接地導体の間でキャパシタンスが形成されるため、信号線路等に侵入する高周波ノイズを除去することができる。また、信号用電極にサージ電圧が印加されたときには、内部導体と接地導体の間の第2誘電体シートと第3誘電体シートとにそれぞれバリスタ電圧以上の電位差が生じ、サージ電流が接地導体を通り接地用電極を経由して除去される。サージ吸収時には、接地導体の存在によりサージ電圧が印加された内部導体以外の内部導体はサージの影響を受けない。更に、第1内部導体と第2内部導体との間に接地導体を配置し、この接地導体を接地用電極を介して接地することにより、信号線路に高周波信号が流れてもより確実に浮遊キャパシタンスを除去し、隣接する信号線路間相互のクロストークを防止することができ

【図2】



8

る。この結果、高周波ノイズの除去とサージの吸収の両機能を備え、更に複数の信号線路に接続する内部導体をより高密度に設けても各信号線路を流れる信号の他の線路へのクロストークを確実に防止して小型化できるバリスタ機能付き積層コンデンサレイが得られる。

【図面の簡単な説明】

【図1】本発明実施例の積層コンデンサレイの図5のA-A線断面図。

【図2】そのB-B線断面図。

【図3】その積層体の積層前の斜視図。

【図4】その積層体を焼成した焼結体の斜視図。

【図5】プリント基板に実装された積層コンデンサレイの斜視図。

【図6】本発明の別の実施例の積層コンデンサレイの図9のC-C線断面図。

【図7】その積層体の積層前の斜視図。

【図8】その積層体を焼成した焼結体の斜視図。

【図9】その積層コンデンサレイの斜視図。

【図10】従来のノイズフィルタとサージアブソーバの等価回路図。

【符号の説明】

10, 60 第1誘電体シート (第1セラミックグリーンシート)

11a, 11b, 61 第1内部導体

14, 64 電気的に絶縁される間隔

20, 70 第2誘電体シート (第2セラミックグリーンシート)

21, 22, 71, 72 電気的に絶縁される間隔

23, 73 接地導体

30, 80 第3誘電体シート (第3セラミックグリーンシート)

31, 81 第2内部導体

32, 82, 83, 84 電気的に絶縁される間隔

40, 90 第4誘電体シート (第4セラミックグリーンシート)

51, 101 第1信号用電極

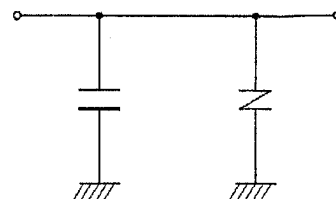
52, 102 第2信号用電極

53, 103 第1接地用電極

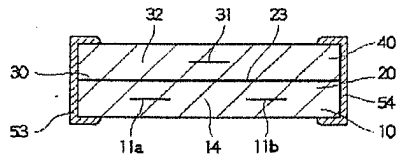
54, 104 第2接地用電極

65, 115 積層体

【図10】

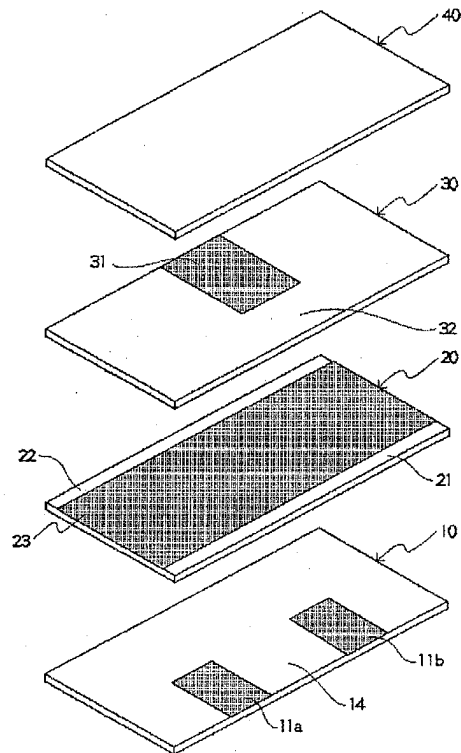


【図1】

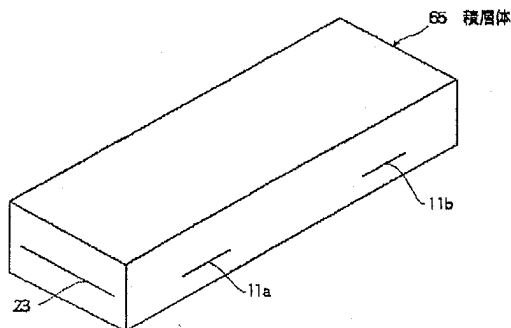


- 10 第1誘電体シート (第1セラミックグリーンシート)  
 11a, 11b 第1内部導体  
 14 電氣的に絶縁される間隔  
 20 第2誘電体シート (第2セラミックグリーンシート)  
 23 接地導体  
 30 第3誘電体シート (第3セラミックグリーンシート)  
 31 第2内部導体  
 32 電氣的に絶縁される間隔  
 40 第4誘電体シート (第4セラミックグリーンシート)  
 53 第1接地用電極  
 54 第2接地用電極

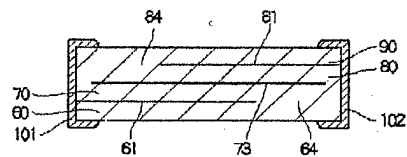
【図3】



【図4】



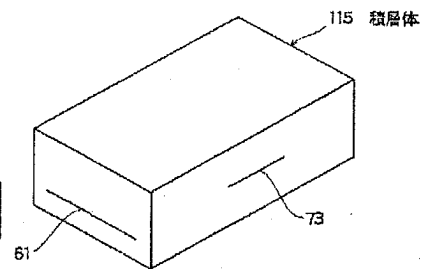
【図6】



- 60 第1誘電体シート (第1セラミックグリーンシート)  
 61 第1内部導体  
 64 電氣的に絶縁される間隔  
 70 第2誘電体シート (第2セラミックグリーンシート)  
 73 接地導体  
 80 第3誘電体シート (第3セラミックグリーンシート)  
 81 第2内部導体  
 84 電氣的に絶縁される間隔  
 90 第4誘電体シート (第4セラミックグリーンシート)  
 101 第1信号用電極  
 102 第2信号用電極



【图 8】



【図 9】

